

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-260932

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 21/82
H01L 21/3205
H01L 27/04
H01L 21/822

(21)Application number : 11-015839

(71)Applicant : NEC CORP

(22)Date of filing : 25.01.1999

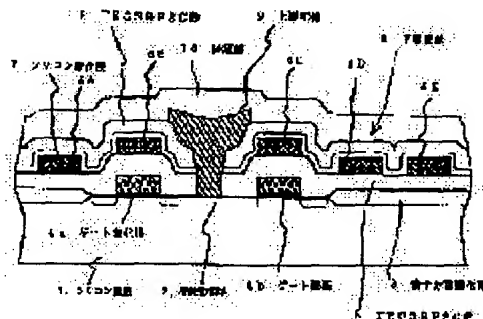
(72)Inventor : URA KENJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the shift of a wiring pattern in the edge part of the repeated area of the wiring pattern can be prevented, and troubles such as the short of the wiring pattern can be prevented.

SOLUTION: Dummy patterns 6D and 6E are arranged in the same layer as wiring patterns 6A-6C outside the edge part of a repeated arranged area. Therefore, the wiring pattern 6C in the edge part of the repeated area can be prevented from being turned into the state of the edge part by the dummy pattern. Thus, the addition of a stress generated due to the difference of a thermal shrinkage ratio between a silicon oxide film 7 and a TEOS BPSG film 8 can be relaxed, and the shift of the wiring pattern 6C can be prevented, and short-circuit can be prevented.



LEGAL STATUS

[Date of request for examination] 27.01.1999

[Date of sending the examiner's decision of rejection] 16.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3288325

[Date of registration] 15.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平11-260932

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/82
21/3205
27/04
21/822

H 0 1 L 21/82
21/88
27/04

R
F
S
B
D

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平11-15839
(62) 分割の表示 特願平7-296552の分割
(22) 出願日 平成7年(1995)11月15日

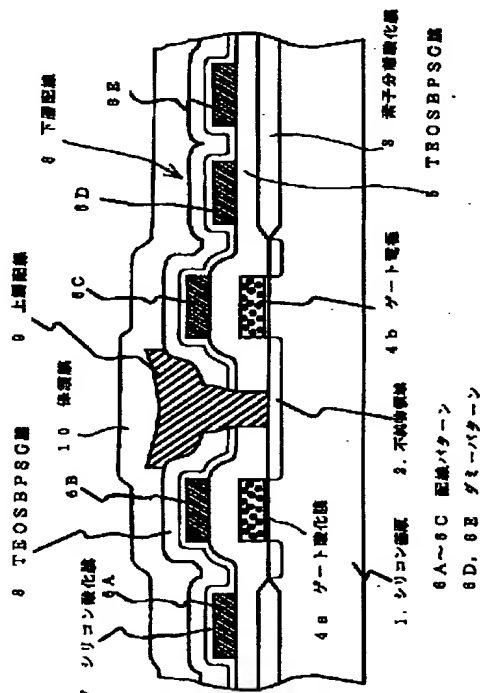
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 浦 達司
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 配線パターンを覆う絶縁膜が複数の異なる絶縁膜で形成されると、熱処理時に絶縁膜間の収縮率の相違によって応力が発生し、特に配線パターンが繰り返し配設されている領域の端部において配線パターンがシフトされ、電気的なショートが生じることがある。

【解決手段】 繰り返し配設領域の端部の外側に、配線パターン6A~6Cと同層にダミーパターン6D、6Eを配設する。繰り返し領域の端部の配線パターン6Cが、ダミーパターンによって端部の状態ではなくなり、シリコン酸化膜7とTEOSBPSG膜8との熱収縮率の差によって生じる応力が配線パターン6C等に加わることが緩和され、配線パターン6Cのシフトが防止され、電気的なショートが防止される。



【特許請求の範囲】

【請求項1】 半導体基板上に複数本の配線パターンが繰り返し配列され、かつこれら配線パターンが複数の絶縁膜で被覆されてなる半導体装置において、前記配線パターンの繰り返し領域の端部に隣接する領域に、前記配線パターンと同層のダミーパターンを備えることを特徴とする半導体装置。

【請求項2】 前記複数の絶縁膜が、シリコン酸化膜とTEOSBPSG膜との積層膜からなる請求項1記載の半導体装置。

【請求項3】 前記ダミーパターンは、前記配線パターンと同じ配線材料で形成されてなる請求項1または2記載の半導体装置。

【請求項4】 前記配線パターンは半導体記憶装置の冗長回路として設けられるヒューズであり、その直上にシリコン酸化膜が形成され、その上にTEOSBPSG膜が形成され、かつこのTEOSBPSG膜には装置表面からヒューズ表面に近接される深さまで開口部が設けられる請求項2または3記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に配線層上に異なる層間絶縁膜が積層形成され、かつ配線繰り返し領域に隣接して配線パターンが存在しない周辺領域を有する半導体装置に関する。

【0002】

【従来の技術】半導体装置は、配線層パターンを覆う層間絶縁膜を形成しているが、場合によってはこの層間絶縁膜を積層した異なる絶縁膜で構成することがある。例えば、素子パターンや配線パターンの微細化に伴って製造歩留りが低下されている半導体記憶装置の分野では、不良メモリセル、不良行または不良列を予備エレメントで置換する冗長構成が採用されている。一般に、これら不良メモリセルを予備エレメントに置換する際は、ヒューズをレーザ光等により溶断して回路接続を変更することで行われる。このヒューズを下層配線層にて形成する場合、ヒューズ上に厚い絶縁膜が存在すると、レーザ光のエネルギーが絶縁膜で吸収されてヒューズを完全に溶断することが困難になる。一方、ヒューズが露呈されていると、溶断は容易であるがデバイス内に侵入された水分によってヒューズが短絡され、信頼性が低下されることになる。

【0003】このため、ヒューズ上には適当な厚さの絶縁膜を形成することが好ましく、1000Å程度の厚さに設定管理している。そして、この膜厚の管理を容易にするために、従来ではヒューズ上の絶縁膜を2層に形成している。すなわち、図3はその一例を示す断面図であり、シリコン基板1上に不純物領域2、素子分離酸化膜3、ゲート酸化膜4a、ゲート電極4bを形成してトランジスタを形成した後、TEOS（テトラエトキシシラ

ン）BPSG膜5を形成して平坦化を目的とした熱処理を行う。その後、TEOSBPSG膜5上に下層配線層となるタングステンシリサイド膜を2000Å程度形成し、所定の形状に加工して下層配線6の一部で構成されるヒューズ6Xを形成する。

【0004】続いて、シリコン酸化膜7を1500Å程度形成し、その上にTEOSBPSG膜8を5000Å程度形成し、積層構造の層間絶縁膜を形成する。さらに、表面のリフローを目的とした熱処理を行った後、必要に応じて上層配線層と下地或いは下層配線層とを接続するためのコンタクト孔を公知のフォトリソグラフィ技術により開口し、このコンタクト孔を含む領域にアルミニウム配線層を9000Å程度形成し、上層配線層9を形成する。さらに、耐湿性向上を目的とした保護膜10を全面に形成し、図外のアルミニウムパッド上の保護膜を開口するエッチング工程において、前記ヒューズ6X上の絶縁膜をエッチングして開口部11を開設する。

【0005】この開口部11の開設においては、TEOSBPSG膜8のエッチングレートが600～700Å/分であり、シリコン酸化膜7のエッチングレートが400～500Å/分であるため、仮にエッチング時間が少し長すぎた場合でも、シリコン酸化膜7が一種のストッパとして機能するため、ヒューズ6X上の膜厚を容易に管理することができ、ヒューズ6Xの露呈を防ぐ一方でレーザ光によるヒューズの溶断を容易なものとする。

【0006】

【発明が解決しようとする課題】しかしながら、このような半導体記憶装置では、そのリフロー時の熱処理工程において、TEOSBPSG膜8とシリコン酸化膜7との熱収縮率の相違等により、シリコン酸化膜7が熱収縮され、この収縮力によって下層配線層6に応力が働き、下層配線層が平面方向に移動され、隣接する配線層、例えばコンタクト孔に近接ないし接触して電氣的に短絡されてしまうことがある。特に、このような現象は、メモリセル領域に隣接する形でセンスアンパやレジスタ部、デコード部が設けられている半導体記憶装置において、メモリセル領域の端部、すなわち同様な形状のパターンが繰り返し設けられている領域の端部で発生し易いものとなっている。

【0007】本発明者の検討によれば、繰り返しパターンの端部ほど応力によるシフト量が大きく、15本程度のパターンが繰り返されているパターン領域の内側ではシフトは殆ど発生されないが、この繰り返しパターンの端部ではシフト量が大きく、しかも細長いパターンほどシフトし易いことが判明した。この理由としては、繰り返しパターン領域の外側には、応力を緩和する機能を有するパターンの存在しない領域が広がっているため、発生した応力が直接に端部のパターンに作用してシフトさせているためと考えられている。そして、この端部のパターンがシフトすることにより順次応力が緩和され、端

部から内部に進むにつれて次第にシフト量が減少して行くものと考えられる。

【0008】また、繰り返しパターン領域では、コンタクト孔により上下の配線層や下地が接続されており、このコンタクト孔パターンを下地に固定する役割を果たしている。しかし、コンタクト孔の間隔が大きいと、その間の部分ではシフトが発生し、そのシフト量はコンタクト孔からの距離に応じて増大すると考えられる。このため、一般にはコンタクト孔が存在しない部分が長くなる細長いパターンほどシフトし易いものと考えられる。

【0009】図4は繰り返し領域の一例の平面図、図5はそのBB線断面図である。トランジスタの上にタングステンシリサイドで細長い配線パターン6A~6Cが設けられている。これら配線には下地に固定されるようなコンタクト孔は設けられてはいない。また、図の左側が繰り返し領域であり、配線パターン6Cが繰り返し領域の端部に位置する配線となる。そして、この配線パターン6Cの右側に同層のパターンの無い広い領域が広がっている。また、配線パターン6B、6Cの間には、不純物領域2に接続される上層のアルミニウム配線9で構成されるコンタクト孔が設けられている。

【0010】このような半導体装置において、応力により配線パターンがシフトした状態を図6に示す。同図においては、配線パターン6B、6Cが右方向にシフトしている。この結果、配線パターン6Bがコンタクト孔9に極めて接近し、場合によってはショートしてしまう。

【0011】この応力による配線パターンのシフトを防止するために、下地の絶縁膜に意図的に溝を設け、配線の一部をこの溝内に侵入させることで配線を固定する技術がある。例えば、特開平4-348054号公報に記載されているものは、図7(a)の平面図、(b)のCC線断面図に示すように、シリコン基板21のフィールド酸化膜22上に形成したBPSG膜23にコンタクト開孔技術を用いて溝24を掘り、その上に配線層25を設けている。この配線層25はその下面の一部が溝24内に侵入しているため、その位置を固定することが可能である。

【0012】しかしながら、この技術では、溝24を形成する箇所の下層に下層配線層26等が存在していると、この下層配線層26に配線層25がショートされ易くなるため、溝24の下側にはトランジスタ等の素子を形成することが困難になる。特に、前記したセンスアンプやレジスタ部、デコード部では素子が非常に密に配置されているため、このような箇所に溝を形成することは半導体記憶装置の集積度を著しく低下させてしまうことになる。

【0013】本発明の目的は、配線パターンの繰り返し領域の端部における配線パターンのシフトを防止して、配線パターンのショート等の不具合を防止することが可能な半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は、繰り返し配列された配線パターンが複数の絶縁膜で被覆されている半導体装置において、配線パターンの繰り返し領域の端部に隣接する領域に、配線パターンと同層のダミーパターンを備えることを特徴とする。特に、本発明は複数の絶縁膜が、シリコン酸化膜とTEOSBPSG膜との積層膜で構成されている半導体装置に有効である。また、ダミーパターンは、配線パターンと同じ配線材料で形成されることが好ましい。

【0015】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の一実施形態の平面図であり、図2はそのAA線断面図である。これらの図において、シリコン基板1上に素子分離酸化膜3を形成して素子領域を画成し、この素子領域にはゲート酸化膜とポリシリコンを堆積し、これらを選択エッチングすることでゲート酸化膜4aとゲート電極4bを形成する。また、このゲート電極4bを利用してシリコン基板1に不純物を導入することでソース・ドレイン領域としての不純物領域2を形成し、これによりトランジスタを形成する。

【0016】しかる上で、全面にTEOSBPSG膜5を形成して平坦化を目的とした熱処理を行い、その後、TEOSBPSG膜5上に下層配線層となるタングステンシリサイド膜を2000Å程度形成し、所定の形状に加工して下層配線6で構成される配線パターン6A~6C及びヒューズ6Xを形成する。続いて、シリコン酸化膜7を1500Å程度形成し、その上にTEOSBPSG膜8を5000Å程度形成し、積層構造の層間絶縁膜を形成する。さらに、表面のリフローを目的とした熱処理を行った後、必要な箇所に上層配線層と下地或いは下層配線層とを接続するためのコンタクト孔を公知のフォトリソグラフィ技術により開口し、このコンタクト孔を含む領域にアルミニウム配線層を9000Å程度形成し、上層配線層9を形成する。さらに、耐湿性向上を目的とした保護膜10を全面に形成する。

【0017】そして、図3に示したように、図外のアルミニウムパッド上の保護膜を開口するエッチング工程において、前記ヒューズ6X上の保護膜10を選択エッチングし、さらにその直下のTEOSBPSG膜8を選択的に所要深さまでエッチングして開口を開設し、ヒューズ溶断用の開口部11として構成する。

【0018】このような半導体装置において、前記ヒューズ6Xを形成したタングステンシリサイドからなる下層配線は、本来は図4に示したような配線パターン6A~6Cで構成されるが、ここでは同じタングステンシリサイドを利用して繰り返し領域の端部の外側に広がる周辺領域に、実際の回路動作とは無関係な配線パターン6D、6Eをダミーパターンとして形成配置している。こ

の実施形態では、これらダミーパターン6D、6Eは、前記下層配線パターン6A～6Cと同じ幅寸法で、しかも平行に配置している。

【0019】したがって、この構成によれば、前記した上層配線等の形成に際してのリフロー時の熱処理工程において、シリコン酸化膜7の熱収縮によって下層配線層6に応力が作用しようとするが、本来の配線パターン、特に繰返し領域の端部に位置される配線パターン6Cには、これに隣接してダミーパターン6D、6Eが配設されるため、前記したような繰返し領域の端部の配線パターン6Cは、繰返し領域の端部ではない状態となり、この端部において生じ易い配線パターンのシフトが防止される。これは、ダミーパターン6D、6Eを設けることによって、繰返しパターン領域の外側には、応力を緩和する機能を有するパターンの存在しない領域が形成されることが解消されるためであり、これにより配線パターン6A～6Cに加えられる応力は均一な状態で緩和され、シフトの発生が抑制されることになる。

【0020】なお、ダミーパターン6D、6Eによる応力緩和の効果は、ダミーパターン自体をシフトさせて応力を吸収させることによりさらに高いものとなるため、ダミーパターン6D、6Eは可及的に細幅に形成することが好ましい。特に、幅寸法と長さ寸法の比を1:20以上にすれば、その効果はより有効なものとなる。また、この実施形態では、ダミーパターンを2本配設した例であるが、この数に限られるものではなく、必要に応じて設定できる。ただ、本発明者が確認したところでは、繰返し領域では配線パターンが15本並列された内側位置ではシフトが殆ど生じていないところから、ダミーパターンも15本程度、好ましくは20本程度を配置すれば、殆ど完全にシフトを防止することができる。さらに、ダミーパターンは配線パターンとは異なる配線材料で形成することも可能であるが、応力緩和効果を高めるためには、同じ配線材料で形成することが好ましい。

【0021】また、ダミーパターンは、基本的には繰返し領域端部の外側に広がる周辺領域を埋めるかたちで設ければよい。同層の配線パターンが配置されている場合にはその部分を避けた領域に配置すればよい。さらに、このダミーパターンが隣接する配線パターンに対してノイズ等のような回路上的影響をおよぼすことを防ぐ目的で、ダミーパターンに何らかの電位、例えば電源電位の1/2の電位や接地電位等を供給してもよい。また、本発明は前記実施形態で示したヒューズを有する半導体記憶装置に限られるものではなく、一般の半導体装置に適用することも可能である。

【0022】なお、半導体装置にダミーパターンを設ける技術として、例えば特開昭61-194771号公報

に提案されたものがあるが、これは、半導体装置のメモリセル領域とこれに隣接する領域との間に生じる表面段差を緩和するために隣接する領域にダミーパターンを形成してその平坦化を図るものであり、本発明のように応力の緩和を目的としたものではない。また、米国特許第5251168号等には、メモリセル領域の外周を囲むようにダミーメモリセルを配置したものであるが、これはメモリセル領域外からの影響によるメモリセルのリークを防止するものであり、本発明のように応力の緩和を目的としているものではない。

【0023】

【発明の効果】以上説明したように本発明は、繰返し配列された配線パターンが複数の絶縁膜で被覆されている半導体装置において、配線パターンの繰返し領域の端部に隣接する領域に、配線パターンと同層のダミーパターンを設けていることにより、リフロー時に絶縁膜に生じる熱収縮によって配線パターンに加えられる応力をダミーパターンによって緩和することができ、配線パターンのシフトを防止して半導体装置における電気的なショート発生を未然に防止し、半導体装置の信頼性を向上することができる効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施形態の平面レイアウト図である。

【図2】図1のAA線断面図である。

【図3】ヒューズを有する半導体記憶装置の断面図である。

【図4】図3の半導体記憶装置の平面レイアウト図である。

【図5】図4のBB線断面図である。

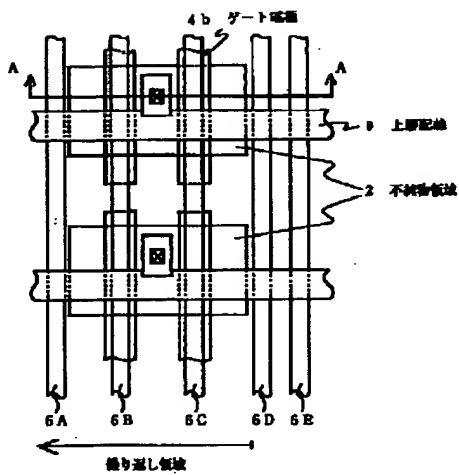
【図6】図4の半導体記憶装置における不具合を説明するための図5と同じ断面図である。

【図7】従来の改善された半導体装置の平面レイアウト図とそのCC線断面図である。

【符号の説明】

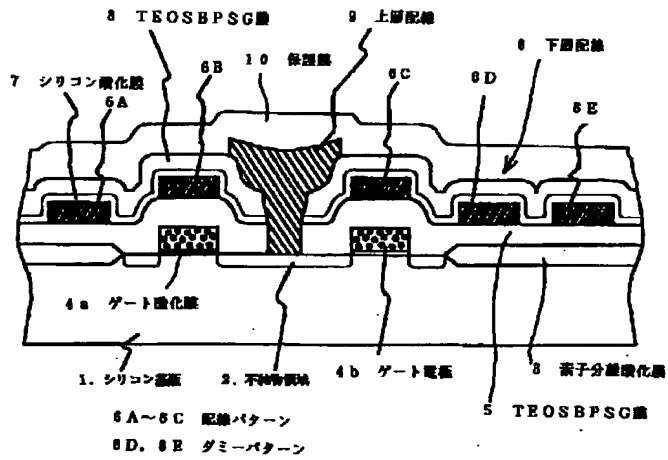
- 1 シリコン基板
- 4b ゲート電極
- 5 TEOSBPSG膜
- 6 下層配線
- 6A～6C 配線パターン
- 6D、6E ダミーパターン
- 6X ヒューズ
- 7 シリコン酸化膜
- 8 TEOSBPSG膜
- 9 上層配線
- 10 保護膜
- 11 開口部

【図1】

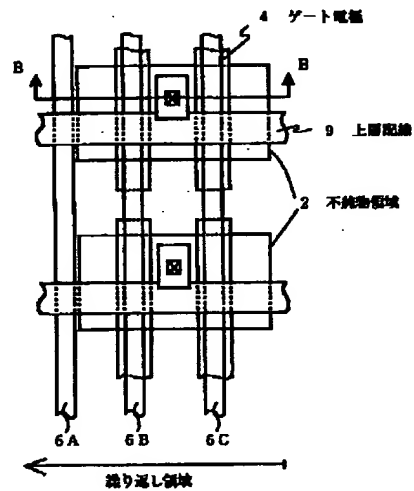


6A~6C 配線パターン
6D, 6E ダミーパターン

【図2】

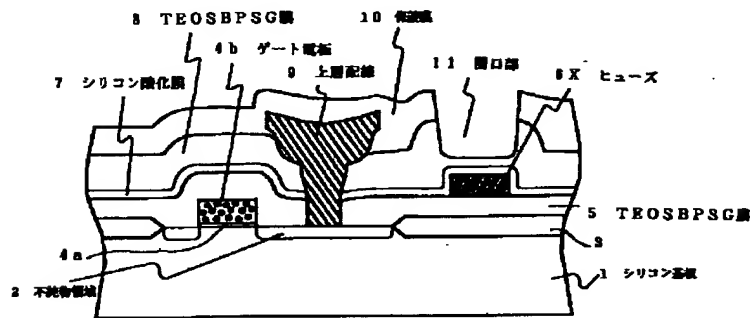


【図4】



6A~6C 配線パターン

【図3】



【図5】

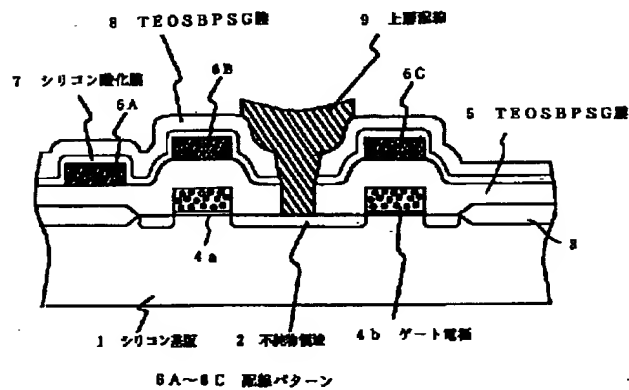


Figure 1 is a cross-sectional view of a semiconductor device. The structure includes a silicon substrate (1) with a non-conductive film (2) on top. A gate electrode (4b) is formed on the substrate. Above the gate electrode, there is a TEOSBPSG film (5) and a silicon nitride film (7). A central region is filled with a conductive material (9). Other layers and features are labeled 3, 4a, 6A, 6B, 6C, and 8.

The first system of musical notation for 'The Rose Tree' is shown. It features a treble clef and a key signature of one flat (B-flat). The melody is written on a five-line staff. The first measure contains a half note G4 (G on the second line) and a half note F4 (F on the first space). The second measure contains a half note E4 (E on the first line) and a half note D4 (D on the first space). The third measure contains a half note C4 (C on the first space) and a half note B3 (B on the first line). The fourth measure contains a half note A3 (A on the first line) and a half note G3 (G on the first space). The fifth measure contains a half note F3 (F on the first space) and a half note E3 (E on the first space). The sixth measure contains a half note D3 (D on the first space) and a half note C3 (C on the first space). The seventh measure contains a half note B2 (B on the first space) and a half note A2 (A on the first space). The eighth measure contains a half note G2 (G on the first space) and a half note F2 (F on the first space). The ninth measure contains a half note E2 (E on the first space) and a half note D2 (D on the first space). The tenth measure contains a half note C2 (C on the first space) and a half note B1 (B on the first space). The eleventh measure contains a half note A1 (A on the first space) and a half note G1 (G on the first space). The twelfth measure contains a half note F1 (F on the first space) and a half note E1 (E on the first space). The thirteenth measure contains a half note D1 (D on the first space) and a half note C1 (C on the first space). The fourteenth measure contains a half note B0 (B on the first space) and a half note A0 (A on the first space). The fifteenth measure contains a half note G0 (G on the first space) and a half note F0 (F on the first space). The sixteenth measure contains a half note E0 (E on the first space) and a half note D0 (D on the first space). The seventeenth measure contains a half note C0 (C on the first space) and a half note B0 (B on the first space). The eighteenth measure contains a half note A0 (A on the first space) and a half note G0 (G on the first space). The nineteenth measure contains a half note F0 (F on the first space) and a half note E0 (E on the first space). The twentieth measure contains a half note D0 (D on the first space) and a half note C0 (C on the first space). The notation includes various musical symbols such as notes, rests, and bar lines.

[illegible]